



Ministerio de Cultura y Educación  
 Universidad Nacional de San Luis  
 Facultad de Ciencias Físico-Matemáticas y Naturales  
 Departamento: Física  
 Area: Area V: Electronica y Microprocesadores

(Programa del año 2007)  
 (Programa en trámite de aprobación)  
 (Presentado el 12/10/2007 11:05:40)

### I - Oferta Académica

Materia	Carrera	Plan	Año	Período
ARQUITECTURA DE COMPUTADORAS	ING. ELECTRONICA	005/05	5	2c

### II - Equipo Docente

Docente	Función	Cargo	Dedicación
DONDO GAZZANO, JULIO DANIEL	Prof. Responsable	P.ADJ EXC	40 Hs

### III - Características del Curso

Credito Horario Semanal				
Teórico/Práctico	Teóricas	Prácticas de Aula	Práct. de lab/ camp/ Resid/ PIP, etc.	Total
90 Hs	30 Hs	30 Hs	Hs	6 Hs

Tipificación	Periodo
B - Teoria con prácticas de aula y laboratorio	2 Semestre

Duración			
Desde	Hasta	Cantidad de Semanas	Cantidad de Horas
06/08/2007	09/11/2007	15	90

### IV - Fundamentación

La creciente demanda de mayor poder computacional de los procesadores ha dado origen a arquitecturas complejas con unidades funcionales especializadas, memorias de alta velocidad, multiprocesadores, división de tareas en etapas concurrentes, ejecución de intrucciones a medida que están disponibles sus operandos, etc. Todas estas particularidades hacen necesaria la aplicación de técnicas y estrategias más complejas que las involucradas en los procesadores simples. La disponibilidad tecnologica existente permite el diseño y desarrollo de arquitecturas de procesadores cada vez mas eficientes. Las arquitecturas avanzadas están concebidas para procesar problemas específicos que deben ser identificados y resueltos mediante prácticas de programación especiales.

### V - Objetivos

El objetivo de este curso es darle al alumno los conocimientos necesarios para el diseño de Procesadores.

Al finalizar el curso los alumnos deberan poder:

- \* Explorar los limites Hw/Sw existentes en la arquitectura de los procesadores
- \*Identificar los principales parámetros que miden el desempeño de los procesadores.
- \*Reconocer las similitudes y diferencias entre las distintas arquitecturas de procesadores
- \*Diseñar el data-path de un procesador

\*Conocer las características de los procesadores pipeline y las particularidades consideraras al medir el desempeño de los mismos.

\*Comprender el funcionamiento general de los procesadores vector y las particularidades de los problemas que se adecuan a estas arquitecturas.

\*Dominar los detalles involucrados en el funcionamiento de los procesadores pipeline con etapas multiciclo y los estrategias empleadas para ejecutar instrucciones fuera de orden.

\*Percibir la complejidad requerida para computar soluciones en sistemas de multiprocesadores y las redes de interconexión necesarias en estos sistemas.

\*Poseer los fundamentos del diseño de Sistemas integrados Hw/Sw

## **VI - Contenidos**

### **Unidad 1: Performance en procesadores RISC.**

Procesadores RISC. Arquitectura del set de instrucciones RISC. Frecuencia y ciclo de reloj. Unidades pequeñas de tiempo. Ecuación de tiempo de CPU. Ciclos por instrucción. Relación entre el ciclo y el tiempo de CPU. Desempeño y tiempo de ejecución. Arquitectura multiciclo. Señales de control y camino de datos. Set de instrucciones y desempeño. Aceleración (speed-up). Ley de Amdahl.

### **Unidad 2: Instrucciones- Lenguaje de Maquina**

Arquitectura MIPS. Set de instrucciones. Operaciones y Operandos en Hardware. Estilos de direccionamiento.

### **Unidad 3: DataPath y control del Procesador:**

Construccion e implementacion. Implementaciones Multiciclos. Microprogramacion, simplificacion de diseño. Excepciones.

### **Unidad 4: Pipelining.**

¿Qué es pipelining?. Comportamiento básico del pipeline. Performance ideal. Problemas en los pipe: los hazards. Distintos tipos de hazards: estructurales, de datos y de control. Dependencia de datos. Hazards de datos: RAW, WAW, WAR. Los atascos (stalls). Adelantamiento. Interlock. Impacto de los hazards en el análisis de la performance. Penalidades por branch. Técnicas de predicción de branch. Salto demorado. La implementación de pipeline en MIPS de 5 y 8 etapas.

### **Unidad 5:Paralelismo a nivel de instrucción y Pipelines avanzados.**

Ejecución multi-ciclo. Finalización fuera de orden. Latencia e intervalo de iniciación. Superando dependencias de datos con scheduling dinámico de instrucciones. Scoreboarding. Algoritmo de Tomasulo, aplicación en una unidad de punto flotante. Procesadores vector. Instrucciones vector. Procesamiento escalar vs. procesamiento vectorial.Particularidades de los procesadores vector.

### **Unidad 6: Aritmetica para computadoras:**

ALu de punto fijo. Algoritmos de Multiplicacion y Division. Unidad de punto flotante

### **Unidad 7:Memorias.**

Jerarquía de memorias. Memorias cache. Consideraciones generales del empleo de cache. Organizaciones de cache: directas, asociativas y conjunto asociativo. Performance de memorias cache. Tipos de cache:write-back y write-through. Memoria virtual y cache. Comportamiento de la jerarquía de memorias.

### **Unidad 8: Multiprocesadores**

Multiprocesadores y redes de interconexión.

Nivel de paralelismo en los programas. Clasificación de Flynn. Arquitecturas de memoria centralizada (UMA) y distribuida (NUMA). Redes de interconexión: consideraciones generales. Fundamentos de SoC

## VII - Plan de Trabajos Prácticos

Prácticos Nro. 1 y 2: Programación assembly y Medidas de Performance.

Programación en MIPS. Uso de la Ley de Amdhal para el cálculo de la performance ganada por una mejora (Speedup). Uso de la ecuación de la CPU. Camino de datos

Prácticos Nro. 3 : Pipelines y riesgos

Implementación del pipelining del MIPS. Impacto de problemas en el pipe: hazard de estructurales y hazard de datos. Los hazard de control: técnicas utilizadas para las instrucciones de salto. Planificación estática de instrucciones para reducir los hazards.

Practico 4: Diseño de SoC utilizando placas de desarrollo con FPGA Virtex II y utilizando procesador PowerPC o Microblaze. Introduccion al desarrollo de componentes IP

Practico 5: Diseño de un procesador RISC de 32 bits. Especificacion del set de Instrucciones, Diseño de Datapath y control, diseño de ALU, diseño de pipeline. Descripcion en VHDL Implementacion en FPGA

## VIII - Regimen de Aprobación

\* Regularización

Para regularizar la materia el alumno deberá cumplir con los siguientes requisitos:

Aprobar un examen parcial, o su correspondiente recuperación sobre temas que abarcan las cuatro primeras unidades.

Aprobar un trabajo práctico que cubre la última unidad de la materia. Este trabajo puede ser defendido y presentado en grupos de hasta 3 alumnos.

Aquellos alumnos que estén en condiciones tendrán derecho a una recuperación adicional por trabajo.

Mostrar compromiso con la materia a través de asistencia regular a clase y realización de los prácticos de alula.

\* Examen Final

Los alumnos regulares deberán rendir un examen final (que podrá ser oral o escrito) que consistirá en preguntas sobre los temas desarrollados durante el dictado de la materia.

\* Alumnos libres

Los alumnos que desean rendir libre la materia se deberán poner en contacto con la cátedra con 5 días de anticipación a los efectos de realizar un práctico, el cual contendrá ejercicios similares a los desarrollados en los prácticos durante el dictado de la materia. Aprobando éste trabajo práctico el alumno tendrá derecho a rendir un examen oral con iguales características que el de los alumnos regulares.

## IX - Bibliografía Básica

[1] [1] Computer Organization & design. David Patterson and Jhon L. Hennessy. 2nd Edition. Editorial Morgan Kaufmann. (1998)

[2] [2] Computer architecture a quantitative approach. John Hennessy y David Patterson. 3rd Edition. Editorial Morgan Kaufmann. (2003)

[3] [3] Computer Architecture design and performance. Barry Wilkinson. Editorial Prentice-Hall (1996)

## X - Bibliografía Complementaria

[1] [1] Roland N. Ibbett "HASE DLX Simulation Model" IEEE Micro, Vol 20, no 3, p 57-65, 2000.

[2] [2] P.M. Sailer & D.R. Kaeli "The DLX Instruction Set Architecture Handbook" Morgan Kaufmann, 1996.

## XI - Resumen de Objetivos

Al finalizar el curso los alumnos deberan poder:

\*Identificar los principales parámetros que miden el desempeño de los procesadores.

\*Desarrollar diferentes analisis cuantitativos del desempeño de procesadores provistos con memoria cache.

\*Conocer las características de los procesadores pipeline y las particularidades consideraras al medir el desempeño de los

mismos.

\*Comprender el funcionamiento general de los procesadores de arreglo y las particularidades de los problemas que se adecuan a estas arquitecturas.

\*Describir el modo en que se realizan las computaciones en los sistemas dataflow.

\*Percibir la complejidad requerida para computar soluciones en sistemas de multiprocesadores y las redes interconexión necesarias en estos sistemas.

## **XII - Resumen del Programa**

Unidad 1: Performance en procesadores RISC.

Unidad 2: Instrucciones- Lenguaje de Maquina

Unidad 3: DataPath y control del Procesador:

Unidad 4: Pipelining.

Unidad 5:Paralelismo a nivel de instrucción y Pipelines avanzados.

Unidad 6: Aritmetica para computadoras

Unidad 7:Memorias.

Unidad 8: Multiprocesadores

## **XIII - Imprevistos**

<b>ELEVACIÓN y APROBACIÓN DE ESTE PROGRAMA</b>	
	<b>Profesor Responsable</b>
Firma:	
Aclaración:	
Fecha:	